

# 为何应使用 PCB 设计约束驱动您的设计流程

VASILY ERSHOV 和 DANIT ATAR, MENTOR GRAPHICS



P A D S

W H I T E P A P E R

[www.pads.com](http://www.pads.com)

## 简介

源自板加工和装配要求的约束一直在推动着 PCB 设计的发展。当前，差分对、BGA、低压器件和高速并行接口的设计要求给这些约束的应用蒙上了一层阴影。这些设计元器件生成了数量更多 and 容差更紧密的高速约束。

想象一下，一名 PCB 设计人员在布局设计的后期阶段发现存在缺失或错误的高速约束。尝试修复该问题可能需要启动一个高成本的重新设计周期，因为一个信号的布线更改很容易给邻近的信号带来问题。随着问题如雪球般不断增加，可能需要大量返工，从而导致设计延迟和额外的成本。

此类情形表明，在 PCB 设计周期内尽可能早地导入高速约束形式的信号完整性要求极其重要。在整个设计周期内必须严格地管理这些约束，以确保完成的板设计具有正确的电气性能。

Aberdeen Group 于 2010 年进行的一次独立调查表明，89% 的 PCB 设计开发人员和 77% 的经理表示他们通过技术性能设计（例如信号完整性）来实现可制造性和成本目标（图 1）。

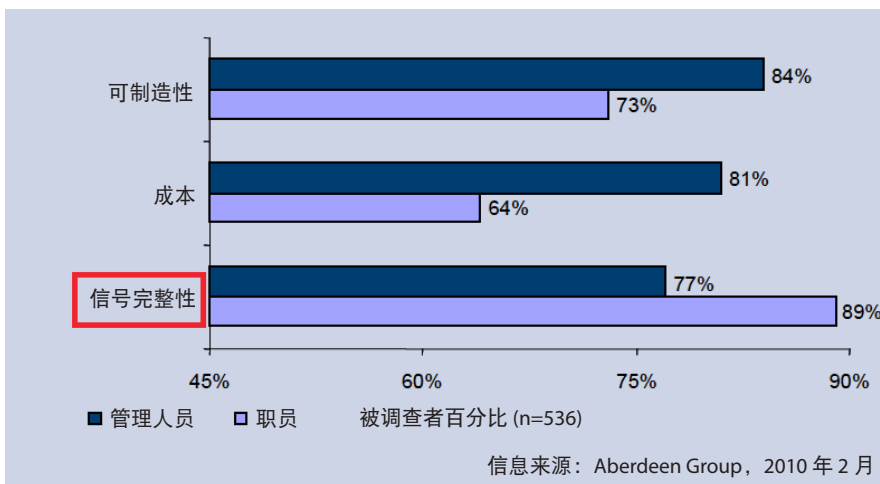


图 1: 由 Aberdeen Group 进行的一项独立调查指出了信号完整性在 PCB 设计中的重要性。

## PADS 助您成功

PADS 使用专为支持“设计即正确”方法而设计的约束管理环境，将约束置于设计流程的核心位置。

PADS 使用基于电子表格的界面以及用于评审约束和执行约束违规分析的便利工具，简化和加快了初始约束输入过程。

在原理图、布局和布线环境，可以同样的方法访问所有 PCB 设计约束。系统为您的约束定义保留了两份副本（一份用于原理图，另一份用于 PCB 数据）并自动进行同步，以便在前端输入或编辑的约束可在后端使用，反之亦然。

## 轻松设置约束

设计不佳的用户界面往往是令约束设置既繁琐又耗时的原因之一。必须打开多个窗口，而且无法一次看到所有约束，这种设置方式往往令人晕头转向，极易出错，而且迫使用户一次只能手动更新一项约束。

PADS 使用基于电子表格的方法简化了导入和评审约束的操作，相比基于对话框的传统方法具有明显的优势。

	Net Class/Layer	Index	Type	Trace Width (th)		
				Minimum	Typical	Expansion
1	(Default)			1	6	50
2	ANALOG			8	10	15
3	CLOCKS			5	5	5
4	DiffPairs			1	6	50
5	SIGNAL_1	1	Signal	1	6	50
6	SIGNAL_2	2	Signal	1	12	50
7	PLANE_3	3	Plane	1	6	50
8	PLANE_4	4	Mixed	1	6	50
9	SIGNAL_5	5	Signal	1	12	50
10	SIGNAL_6	6	Signal	1	6	50
11	MATCHTRACK			9	9	9
12	SIGNAL_1	1	Signal	9	9	9
13	SIGNAL_2	2	Signal	9	9	9
14	PLANE_3	3	Plane	9	9	9
15	PLANE_4	4	Mixed	9	9	9
16	SIGNAL_5	5	Signal	9	9	9
17	SIGNAL_6	6	Signal	9	9	9

图 2：约束管理可能非常复杂，尤其在使用基于对话框的传统环境时。基于电子表格的方法简化了整个流程。

利用强大的电子表格编辑功能（例如，多行/多列复制/粘贴和自动填充），可以快速导入或修改大量约束值。通过打开 Constraint Manager 的两个实例，允许将约束值从一个项目复制到另一个项目，从而提供约束复用功能。

## 约束类型

存在多种设计约束类型。常用的设计约束如下：

**长度约束**针对网络和网络分支的布线长度施加限制，包括最小长度、最大长度和匹配长度。最小和最大长度约束可分配给约束类、单独的网络或单独的网络分支（管脚对）。

要定义匹配长度约束，需要使用匹配长度组。匹配长度组包括组名和组容差值。此方法针对组成员的相对长度设定限制，即任意两个组成员之间的长度差不得超过指定的容差值。匹配长度组可能包含网络或网络分支（管脚对）。不允许在一个组内混合网络和管脚对。

**布线约束**针对布线层、过孔使用和走线宽度施加限制。布线约束在网络类级别定义，并应用于网络类中的所有网络。它们对布线层的使用、布线允许的过孔类型以及允许的走线宽度范围施加限制。

**拓扑约束**限制特定网络的布线模式。它们用于控制布线结构以及对网络分支（管脚对）施加长度限制。

PADS 支持两种拓扑约束：拓扑类型和最大支线长度。拓扑类型可设为三个值：

- MST —（最小生成树）不对网络的布线结构施加任何限制。
- 链式 — 将布线限制为从源管脚开始到终端器管脚结束的顺序模式。
- 自定义 — 指示网络分支由用户定义，在布线期间不得违反。

最大支线长度约束应用于使用链式和自定义拓扑的网络。它限制了由邻近网络分支共用的走线长度。两项约束均可在约束类级别指定，或在单独的网络上加以覆盖。

Constraint Class/Net	Hierarchical Path	# Pins	Net Class	Topology	Power Net	Stub Length (th)		# Vias	Length					
						Max	Actual		Min (th)	Max (th)	Actual (th)	Manhattan	Match	Tol (th)
MatchlengthPinpair			(Default)	Custom		60	60	8			10,131,218	10,191,218		
ADDR_BUS1	Demo	7	(Default)	Custom		60	64,057	11			11,504,167	11,624,167		
L-U1-12.L-P1-54									800	1,000			ab1	100
L-U2-12.L-U1-12														
L-U2-12.L-U100-...														
L-U3-12.L-U4-12														
L-U4-12.L-U2-12														
L-U100-W1.L-U1-...														
ADDR_BUS2	Demo	7	(Default)	Custom		60	60	11			8,830,080	8,900,080		
L-U1-11.L-P1-55									800	1,000			ab1	100
L-U2-11.L-U1-11														
L-U2-11.L-U100-Y1														
L-U3-11.L-U4-11														
L-U4-11.L-U2-11														
L-U100-Y1.L-U12-...														
ADDR_BUS3	Demo	7	(Default)	Custom		60	60	11			8,830,080	8,900,080		
L-U1-10.L-P1-56									800	1,000			ab1	100
L-U2-10.L-U1-10														
L-U2-10.L-U100-...														
L-U3-10.L-U4-10														
L-U4-10.L-U2-10														
L-U100-AA1.L-U1-...														
ADDR_BUS4	Demo	7	(Default)	Custom		60	60	8			8,576,059	8,636,059		
L-U1-9.L-P1-57									800	1,000			ab1	100
L-U2-9.L-U1-9														
L-U2-9.L-U100-A-...														
L-U3-9.L-U4-9														
L-U4-9.L-U2-9														

图 2：电子表格视图显示了可为具有自定义拓扑的单独网络分支指定的约束类型。此处显示了匹配长度限制和支线长度违规。

间距约束定义了特定布线层上两个布线对象（例如走线、焊盘和铜皮区域）边缘之间允许的最小间距。定义间距是一个两阶段的过程。首先，创建一组命名间距规则，并为各个规则指定间距值。然后，指定如何将这组规则应用于特定网络（使用规则名称引用规则）。图 3 显示了一个间距约束屏幕示例。

Clearance Rule/Layer	Index	Type	Trace To (th)				Pad To (th)		Via To (th)	
			Trace (th)	Pad (th)	Via (th)	SMD Pad (th)	Pad (th)	Via (th)	Via (th)	SMD Pad (th)
(Default Rule)			6	6	6	6	6	6	6	6
All to All			6	6	6	6	6	6	6	6
Analog to Analog			8	8	8	8	8	8	8	8
Analog to All			10	10	10	10	10	10	10	10
Diff pair to All			25	25	25	25	25	25	25	25
Diff Pair to DiffPair			12	12	12	12	12	12	12	12
Special Rule			10	10	10	10	10	10	10	10
SIGNAL_1	1	Signal	12	12	12	12	12	12	12	12
SIGNAL_2	2	Signal	10	10	10	10	10	10	10	10
PLANE_3	3	Plane	10	10	10	10	10	10	10	10
PLANE_4	4	Mixed	10	10	10	10	10	10	10	10
SIGNAL_5	5	Signal	10	10	10	10	10	10	10	10
SIGNAL_6	6	Signal	12	12	12	12	12	12	12	12
Clocks to All			6	6	6	6	6	6	6	6

图 3：间距选项卡显示了间距规则值。

差分对约束包括走线宽度、差分间距和最大分隔距离。最大分隔距离是一项层相关的约束，指定了走线在违反差分间距值的情况下能够并行布线的长度。

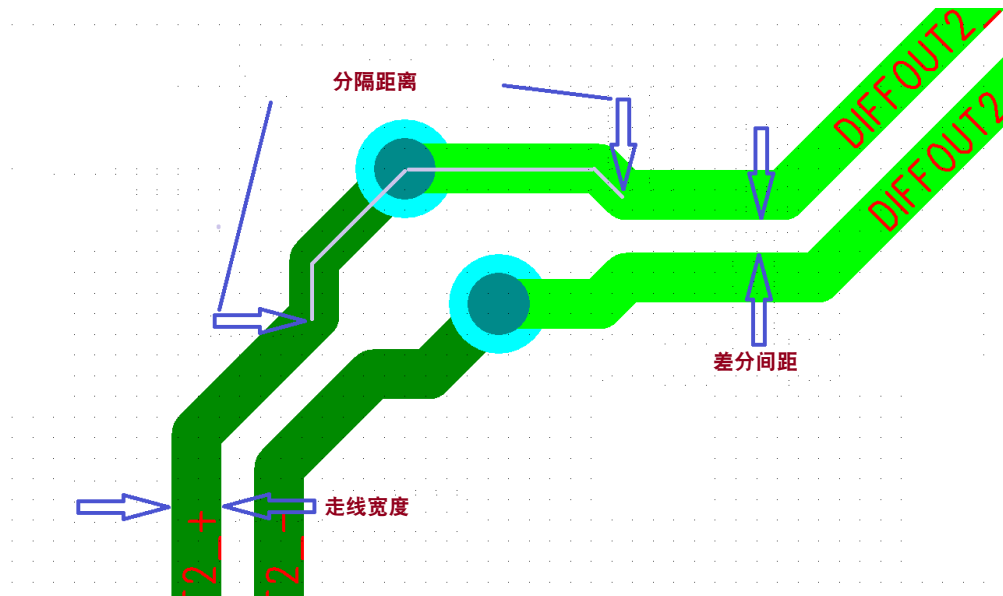


图 4：差分对约束。

**电源网络约束** — PADS 会基于预定义的标准名称（例如 GND、VCC、+5V、-12V 等）自动识别电源网络。此外，您也可以自动或手动指定电源网络。图 5 显示了自动创建电源网络的示例。

### 通过约束分组改进结果

在设计流程的早期阶段对网络类和约束类进行正确的分组和定义，可显著简化约束的定义和管理。分组约束可提高 PCB 设计效率，缩短设计时间，以及最终节省 PCB 设计成本。

**网络类**用于组织和加快具有类似特征的网络的布线约束定义。对于网络类，您可以定义允许布线的层、这些层对应的走线宽度范围，以及网络类中的网络所允许的过孔类型。对于差分对，可以定义层相关的差分对间距。

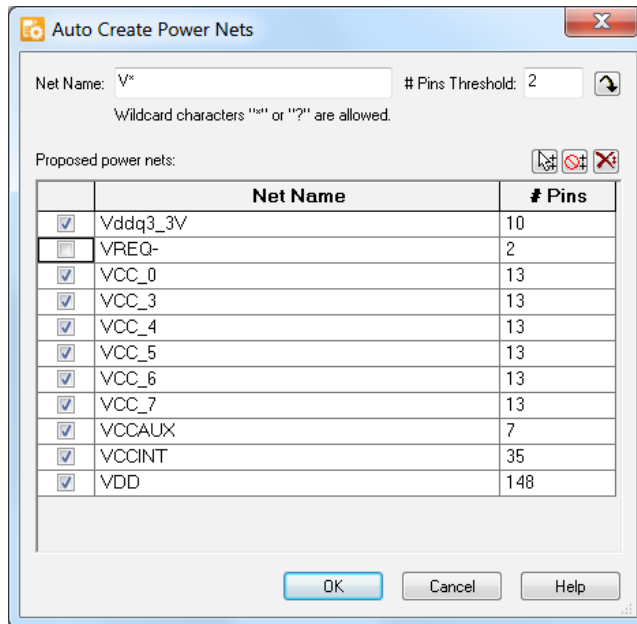


图 5：自动创建电源网络。

约束类用于组织和加快具有类似电气和时序属性的网络的长度、拓扑和其他约束定义。尽管分配给约束类的约束会自动应用于类中的所有网络，但也可以为单独的网络、管脚对和差分对自定义特殊的约束值。

Constraint Class/Net	Hierarchical Path	# Pins	Net Class	Topology	Power Net	Stub Length (th)		# Vias		Length							
						Max	Actual	Max	Actual	Min (th)	Max (th)	Actual (th)	Manhattan	Match	Tol (th)	Delta (th)	Range (th)
1 (All)			(Default)	MST		300											
2 DIFFMATCHING75			(Default)	Custom		300											
3 DIFF1_+DIFF1_-	Demo	4	DiffPairs	Custom		300											
4 DIFF1_+	Demo	2	DiffPairs	Custom		300	0	3			3,550.048	3,550.048					
5 DIFF1_-	Demo	2	DiffPairs	Custom		300	0	3			3,427.02	3,427.02					
6 DIFF2_+DIFF2_-	Demo	4	DiffPairs	Custom		300											
7 DIFF2_+	Demo	2	DiffPairs	Custom		300	0	2			4,185.653	4,185.653	Dir100		6.032	4,185.653-4,191.6	
8 DIFF2_-	Demo	2	DiffPairs	Custom		300	0	2			4,185.653	4,185.653	Dir100		6.032	4,185.653-4,191.6	
9 DIFFMATCHING100			(Default)	Custom		300											
10 MatchlengthPinpair			(Default)	Custom		300											
11 ADDR_BUS1	Demo	7	(Default)	Custom		300	60	0			10,131.218	10,191.218					
12 ADDR_BUS2	Demo	7	(Default)	Custom		300	64.067	11			11,504.167	11,624.167					
13 ADDR_BUS3	Demo	7	(Default)	Custom		300	60	11			8,830.058	8,990.058					
14 ADDR_BUS4	Demo	7	(Default)	Custom		300	60	0			8,578.059	8,638.059					
15 ADDR_BUS5	Demo	7	(Default)	Custom		300	60	7			7,472.331	7,532.331					
16 ADDR_BUS8	Demo	7	(Default)	Custom		300	60	0			7,814.868	7,874.868					
17 MatchTrack			(Default)	MST		300											
18 ASYNC+	Demo	3	MATCHTR.	MST		300	0	3			4,270.15	4,270.15	A	0	0	4,253.426-4,270.15	
19 ASYNC-	Demo	3	MATCHTR.	MST		300	0	4			4,253.426	4,253.426	A	0	16.724	4,253.426-4,270.15	

图 6: 利用约束类，无需为单独的网络创建长度和拓扑约束。

差分对是由实施差分信号的两个物理网络构成的组。随着差分对数量的增加，一次定义一个差分对的做法变得极为繁琐。PADS 可自动执行该过程，因而能够快速、轻松地创建差分对。网络名称通常遵循模式名称。使用这些模式查找您想要分配为差分对的网络名称。随即显示建议的差分对列表；取消选中您不想分配的匹配项。PADS 将立即根据您的选择创建差分对。相关示例，请参阅图 7。

### 评审约束违规

传统上，约束违规是在您的 PCB 设计工具中执行检查和评审。这种方法存在的明显不足是，电气工程师往往并不熟悉 PCB 设计工具。鉴于此，PADS 支持两种违规评审方法：在 PCB 设计环境或在约束管理环境内。通过在定义约束的环境内查看约束，工程师和设计人员可采用类似的方法访问此过程，这对您的工作流而言也更为自然。

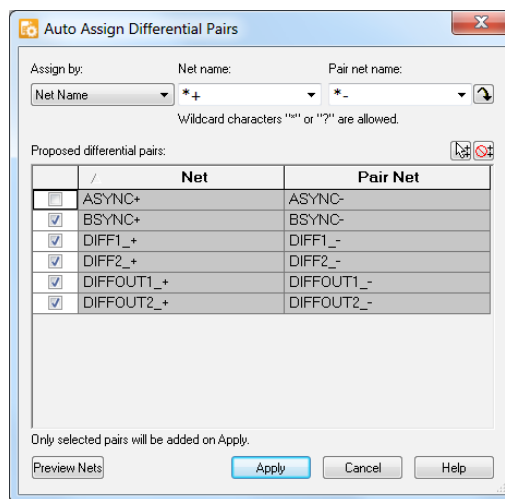


图 7: 通过匹配网络名称模式自动创建成百上千个差分对。

PADS Constraint Manager 可自动或应您的请求从 PCB 设计数据中加载走线长度和过孔数目值。通过颜色编码（黄色代表警告，红色代表违规）简化了检测包含违规的对象的过程。无需滚动冗长的设计网络列表，即可创建包含所有违规的列表并进行分析（图 8）。此外，添加注释的功能还简化了违规评审过程，并且改进了电气工程师与 PCB 设计人员之间的沟通。

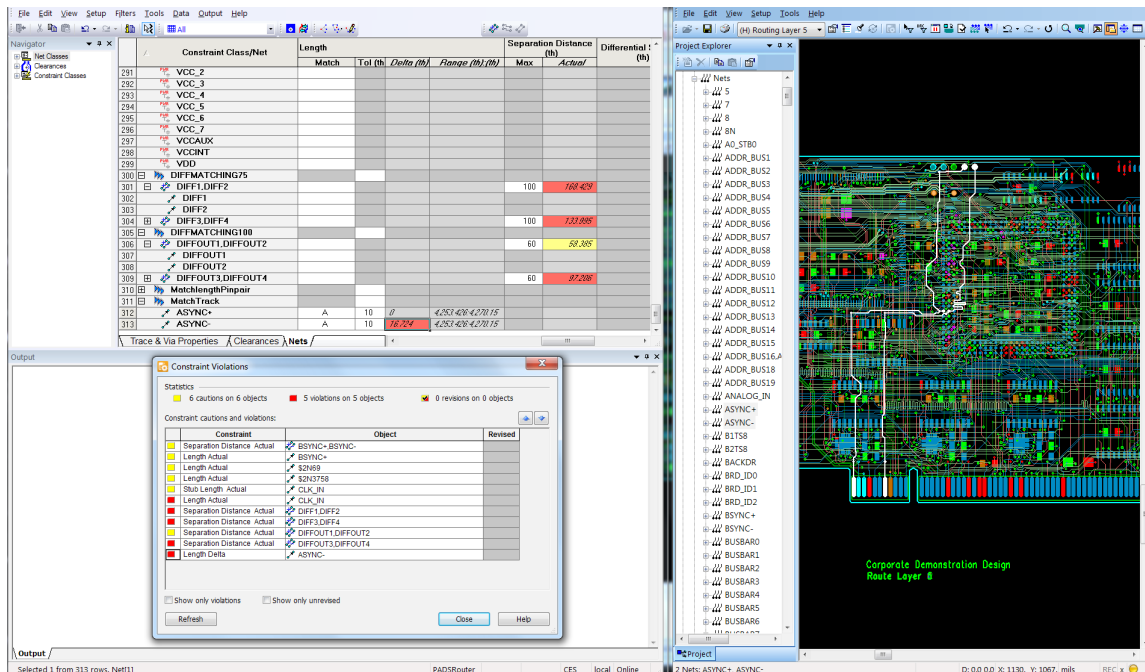


图 8：将约束违规集中到一个短列表中以便评审。使用交叉显示找到板中存在的违规。

## PADS 解决方案

PADS 约束管理专为满足设计人员的日常工作过程需求而设计，具有直观、快速和简易的特点。PADS 采用统一的方法确保实现“设计即正确”方法，并且消除在原理图与 PCB 设计环境中使用单独的约束管理工具所造成的错误。利用 PADS，可在整个流程期间同步和访问所有约束。

可帮助您实现一次成功的主要功能：

- 显示短视频的高级工具提示，使得 PADS 简单易学且简单易用。
- 约束管理环境与原理图和 PCB 设计环境之间的双向交叉显示可显示选定对象的约束数据。
- 利用行和列筛选器可轻松查看特定对象和约束，以便进行评审和操作。
- 直观的颜色编码提供了可视化约束违规反馈。
- 任何时候设计规则发生修改，都会自动更新层级中受影响的对象。
- 内置的同步功能确保绝对不会丢失约束，并且有助于保持电气工程师与 PCB 设计人员之间的协调一致。
- 有关约束管理的视频和产品介绍，请访问 [www.PADS.com](http://www.PADS.com)。

**重要说明：** 本白皮书介绍了如何在 PADS 集成项目（PADS VX 和更新版本）中处理约束。有关 PADS 网络列表项目中的约束管理的更多信息，请下载 [www.pads.com](http://www.pads.com) 上提供的白皮书《Overcome Challenges of Your Highly Constrained PCB Design with PADS》（《使用 PADS 克服高约束 PCB 设计所面临的挑战》）。

如需最新信息，请致电联系我们，或者访问：[www.pads.com](http://www.pads.com)

©2014 Mentor Graphics Corporation，保留所有权利。本文档包含 Mentor Graphics Corporation 的专有信息，只能由原始接收者出于内部商业目的全部或部分复制本文档，前提是在所有副本中都包含此完整声明。接受本文档即表示接收者同意采取一切合理措施，防止未经授权使用这些信息。本文档中提及的所有商标属于其各自所有者。

公司总部  
Mentor Graphics Corporation  
8005 S.W. Boeckman Road  
Wilsonville, Oregon 97070-7777  
电话：+1-503-685-7000  
传真：+1-503-685-1204

上海  
明导（上海）电子科技有限公司  
上海市浦东新区世纪大道 88 号  
金茂大厦 2901 室  
邮编：200121  
电话：+86-21-6101-6385  
传真：+86-21-5047-1379

台湾  
愛爾蘭商明導國際（股）公司台灣分公司  
新竹市公道五路二段 120 號 11 樓  
郵編：300  
電話：+886-2-8722-0018  
傳真：+886-2-8722-0117

销售和产品信息  
电话：+86-21-6101-6385  
[pads\\_info@mentor.com](mailto:pads_info@mentor.com)

